

⑭ 日本国特許庁 (JP)

① 特許出願公開

⑩ 公開特許公報 (A)

昭57-124469

⑤ Int. Cl.<sup>3</sup>

識別記号

庁内整理番号

⑬ 公開 昭和57年(1982)8月3日

H 01 L 29/06  
29/72  
29/74  
29/76  
29/80  
29/86

7514-5F  
7514-5F  
6749-5F  
7377-5F  
7925-5F  
6749-5F

発明の数 1  
審査請求 未請求

(全 18 頁)

⑭ 高電圧半導体装置

① 特 願 昭56-197805

② 出 願 昭56(1981)12月10日

優先権主張 ③ 1980年12月10日 ③ イギリス  
(GB) ④ 8039499

⑦ 発 明 者 デイビッド・ジェームス・コエ  
英国サーリー・レッドヒル・ミ

① 出 願 人 エス・ペー・フィリップス・フ  
ルーイランペンフアブリケン  
オランダ国アインドーフエン・  
エマシゲル29

④ 代 理 人 弁理士 杉村暁秀 外1名

明 願 書

1. 発明の名称 高電圧半導体装置

2. 特許請求の範囲

1. 半導体本体と、少なくとも装置が高電圧動作モードの時の半導体本体の一部を貫ぬいて空乏層を形成する手段とを具える高電圧半導体装置において、上記半導体本体部が第1の導電形の第1の領域を複数個具え、その間に反対の第2の導電形の第2の領域がはさま込まれ、これらの第1と第2の領域の全数が少なくとも4個であり、少なくとも上記第1の領域が少なくとも一つの装置の動作モードの時前記本体部を貫ぬいて延在する電気的に並列な電流路を提供し、前記高電圧動作モードでは前記第1と第2の領域が自由キャリアを持たない空乏状態になって正と負の空間電荷領域が交互に並ぶ形となり、これにより空乏層が半導体本体部内に拡がることにより自由キャリアが排除された時この半導体本体部にかかる高電圧を担い、前記第1と第2の領

域の各々の厚さとドーピング濃度とを前記空乏層により自由キャリアが排除された時前記の交互に積層された領域の各々に形成される単位面積当りの空間電荷が少なくとも、上記空間電荷により形成される電界がこれを飽えればなだれ降服が前記半導体本体部で生ずるであろう臨界電界強度よりも低くなる程度にバランスさせることを特徴とする高電圧半導体装置。

2. 前記第1と第2の領域を半導体本体の主表面にはほぼ平行に延在する交互積層層の形態としたことを特徴とする特許請求の範囲第1項記載の高電圧半導体装置。
3. 前記主表面から切った溝内に前記第1の領域同士を電気的に接続する手段と、前記第2の領域同士を電気的に接続する手段とを設け、溝の側壁で夫々の領域同士をコンタクトさせることを特徴とする特許請求の範囲第2項記載の高電圧半導体装置。
4. 前記溝の断面をV字形とてたことを特徴と

する特許請求の範囲第1項記載の高電圧半導体装置。

5. 前記半導体本体の第1の領域であつて、第1の導電形であり、前記接合形成手段から隔つた区域で前記第1の領域に接する領域により前記第1の領域同士を電気的に互に接続したことを特徴とする特許請求の範囲前記各項のいずれかに記載の高電圧半導体装置。

6. 前記交互積層領域の一端に設けられ、前記第1の領域との間にショットキー接合を形成する金属ベース層により前記空乏層を形成したことを特徴とする特許請求の範囲第1項ないし第5項のいずれかに記載の高電圧半導体装置。

7. 前記半導体の別の領域であつて、第2の導電形で前記第1の領域の各々の一端との間にpn接合を形成する領域により前記空乏層を形成したことを特徴とする特許請求の範囲第1項ないし第5項のいずれかに記載の高電圧半導体装置。

ランジスタを設け、前記交互積層領域を上記電界効果トランジスタのソースとドレインとの間に存在させ、前記第1の領域がこの電界効果トランジスタのチャネル領域を提供し、前記第2の領域が電界効果トランジスタのゲートに接続され、このゲートの拡張部として働くことを特徴とする特許請求の範囲第1項ないし第5項のいずれかに記載の高電圧半導体装置。

12. 前記ゲートが第2の導電形の別の領域となり、前記第1の領域の各々の一端とpn接合を形成することを特徴とする特許請求の範囲第11項記載の高電圧半導体装置。

13. 前記半導体装置に絶縁ゲート形電界効果トランジスタを設け、そのソースを第2の導電形の別の領域により前記交互積層領域から分離し、少なくとも1個のゲートを上記別の領域から絶縁し、この別の領域内に導電性チャネルを容量的に発生させ、前記第1の導電形のキャリアを電界効果トランジスタのソース

8. 一つの動作モードでは電流が少数キャリアとして少なくとも前記第1の領域を使つて前記半導体本体部を貫ぬいて電流が流れ、装置の動作モードがもう一つのモードに切り替えられた時上記少数キャリアが交互積層領域間のpn接合を越えて排除されることを特徴とする特許請求の範囲前記各項のいずれかに記載の高電圧半導体装置。

9. 前記半導体装置にバイポーラトランジスタを設け、前記交互積層領域がこのバイポーラトランジスタのベースとコレクタの接続部を提供することを特徴とする特許請求の範囲前記各項のいずれかに記載の高電圧半導体装置。

10. 前記半導体装置に電力用整流ダイオードを設け、前記交互積層領域がこの整流ダイオードのアノードとカソードの間の中間領域を形成することを特徴とする特許請求の範囲第1項ないし第5項のいずれかに記載の高電圧半導体装置。

11. 前記半導体装置に接合ゲート形電界効果ト

とドレインとの間に流し、前記交互積層領域を上記の別の領域とトランジスタのドレインとの間に設け、前記第1の領域を更に上記ドレインの拡張部として役立てることを特徴とする特許請求の範囲第1項ないし第7項のいずれかに記載の高電圧半導体装置。

14. 前記半導体装置に導電形が第1の上述した電界効果トランジスタに対して相補的な第2の絶縁ゲート形電界効果トランジスタを設け、前記第2の領域をこの第2のトランジスタのドレイン拡張部として役立て、第1の導電形他方の領域との間にpn接合を形成し、このもう一つの領域が交互積層領域を第2のトランジスタのソースから分離し、上記第2のトランジスタの少なくとも1個のゲートを前記他方の領域から絶縁してこの他方の領域内に導電性チャネルを容量的に発生し、前記第2の導電形のキャリアを前記第2のトランジスタのソースとドレインとの間に流すことを特徴とする特許請求の範囲第13項記載の高電

圧半導体装置。

- 13 前記半導体本体を半導体層を複数個重畳した形態として前記交互積層領域を構成し、この最下層の層を絶縁基板の上に取り付けることを特徴とする特許請求の範囲第10項ないし第11項記載のいずれかに記載の高電圧半導体装置。
- 14 前記半導体装置に導電形が相補的な2個の回路要素を設け、これらの回路要素を前記半導体本体部を横切つて並列に接続し、交互積層された第1又は第2の領域が一方の回路要素の電氣的に並列な電流路を提供し、これらの間に相補的な回路要素の電氣的に並列な電流路を差し込んだことを特徴とする特許請求の範囲第10項ないし第11項のいずれかに記載の高電圧半導体装置。

隣接する本体部との間にpn接合を形成する本体の一領域とすることができ、而して隣接する本体内に空乏層が拡がるのを制御することにより逆バイアスがかかっているpn接合の降服電圧を制御して例えば100Vを越え、しばしばもつとずつと高い高電圧を取り扱えるパワー半導体装置を形成できることが知られている。

空乏層が大きく拡がり、従つて降服電圧が高くなるようにするために関連する本体部を導電形を決める不純物のドーピング濃度が低く、従つて高抵抗率の一導電形の拡張領域とすることが知られている。殊にいくつかのパワー整流ダイオード及び電界効果トランジスタ構造ではpn接合に接する低ドーパ本体部が例えば約 $10^{14}$ 又は $10^{16}$ 原子 $\text{cm}^{-3}$ というドーピング濃度を有するにもかかわらず実効的に真性半導体材料から成るものと考えられる。而してこのように抵抗率が高い本体部はこれらの半導体装置で使用される高い動作電圧がかかった時十分に空乏化され、このため印加された逆バイアス電圧がこの本体部を横切つて延在する

#### 1 発明の詳細な説明

本発明は専らという訳ではないが、殊に1個又は複数個の電界効果形パワートランジスタ並びに整流器及びバイポーラトランジスタのような他のタイプのパワー半導体装置又はそのいずれか一方を具える高電圧半導体装置に関するものである。

半導体本体と少なくとも高電圧動作モード時に本体の一部を貫いて空乏層を形成する手段とを具える高電圧半導体装置が知られている。而して既知の高電圧半導体装置では上記本体部が一導電形になつてゐる。これは空乏層の形成が半導体装置の特定の型と形状とに依存することを意味する。空乏層はバイアスゲートを半導体本体から分離する障壁層にかかる電界効果作用により本体部内に形成することもできるが、もつと普遍に行なわれるのは本体部に隣接する接合形成手段により本体部内に形成された整流接合に逆バイアスをかけることにより空乏層を設けるものである。上記接合形成手段は例えば半導体本体上にデポジットされ、ショットキー接合を形成するメタルベース層又は

空乏層で電圧降下することが多い。従つて降服電圧を所望通り高くするためには本体部の抵抗率（従つてドーピング濃度の逆数）を所望する電圧にほぼ比例して高くとり、本体部の長さを所望する電圧にほぼ比例して長くして空乏層が速く拡がるのに備える必要があることが一般に知られている。

殊に電界効果トランジスタ及びショットキーダイオードのような多数キャリア装置ではON状態で半導体装置を流れる電流がこの本体部を横切る必要があり、従つてその抵抗率と長さを増すと電流路の直列抵抗率が所望の逆電圧のほぼ二乗に比例して大きくなる。しかし、これは所定の最大熱放散時の半導体装置の電流取扱能力を制限する。注意すべきことはここでのいう直列抵抗率( $\Omega \cdot \text{cm}^2$ )は所定の長さ( $\text{cm}$ )と単位断面積( $1 \text{ cm}^2$ )とを有する電流路に沿つての直列抵抗( $\Omega$ )であることである。

それ故このようなON状態ではキャリアを流し、OFF状態では動作電圧をブロックするように同一

本体部を使う使い方は周知のように半導体装置の動作電圧により直列抵抗に制限を課する結果になる。そしてこのため不本意ながらパワー半導体装置の電圧及び電流取扱能力が限られてくる。

また、PIN整流器又はバイポーラトランジスタのような少数キャリア装置のターンオフ速度を高めるためには、既に高抵抗率の本体部内に注入された少数キャリアを迅速に取り除く必要がある。これを実行するため本体部内に金のような再結合中心をドーピングすることが知られているが、このような再結合中心はライフタイムキラーとして働き、ON状態では本体部の直列抵抗が高くなり、OFF状態では逆バイアスがかかっている接合部を越える洩漏電流が大きくなってしまうという欠点がある。

本発明によれば半導体本体と、少なくとも装置が高電圧動作モードの時この半導体本体の一部を貫ぬいて空乏層を形成する手段とを具える高電圧半導体装置において、上記半導体本体部が第1の導電形の第1の領域を複数個具え、その間に反対

の第2の導電形の第2の領域がはさま込まれ、これらの第1と第2の領域の全数が少なくとも4個であり、少なくとも上記第1の領域が少なくとも一つの装置の動作モードの時前記本体部を貫ぬいて延在する電氣的に並列な電流路を提供し、前記高電圧動作モードでは前記第1と第2の領域が自由キャリアを持たない空乏状態になつて正と負の空間電荷領域が交互に並ぶ形となり、これにより空乏層が半導体本体部内に拡がることにより自由キャリアが排除された時この半導体本体部にかかる高電圧を担い、前記第1と第2の領域の各々の厚さとドーピング濃度とを前記空乏層により自由キャリアが排除された時前記の交互に積層された領域の各々に形成される単位面積当りの空間電荷が少なくとも、上記空間電荷により形成される電界がこれを越えればなだれ降服が前記半導体本体部で生ずるであろう臨界電界強度よりも低くなる程度にバランスさせることを特徴とする。

このような本発明に係る半導体装置構造は所望通りの電圧及び電流取扱能力を得る上でパワー半

導体装置の設計者に大きな自由を与える。本発明によれば電氣的に並列な電流路があるが、これは電流路が1本だけの既知の半導体装置と比較して本体部を通る直列抵抗を著しく小さくする。第1と第2の領域を十分に空乏化した時この本体部の交互積層され且つほぼバランスしている構造はマクロなスケールで見ても実効的に真性材料であるかのように振るまい、このため100Vを越え、更にもつとずつと高い電圧取扱能力を与える。

単位面積当りの空間電荷は前記本体部内ではほぼバランスしているから第1と第2の領域は各領域のピンチオフ電圧以上の相対的に低い電圧を印加しただけでもそれらの厚さ全体に亘つて自由キャリアが排除され空乏層となる。このピンチオフ電圧は交互積層構造の互に接する領域間に形成されるpn接合から領域中に空乏層が拡がることにより一つの領域に沿つての電流路がピンチオフされる電圧であり、その値は当該領域の厚さとドーピング濃度とに依存するが例えば5ないし20Vのレンジに入る。それ故このピンチオフ値以上の電圧

を印加した時前記の交互に積層した第1の領域と第2の領域内の空乏化した区域内の前記本体部がマクロのスケールで見ても実効的に真性材料から成るかのように振る舞う。蓋し、正の空間電荷と負の空間電荷が交互に積層され且つほぼバランスしているからである。これによりこの交互積層構造では降服電圧が高く、更に交互積層領域の長さを増せばこの降服電圧を一層高くとれる。それ故このような本発明半導体装置は少なくとも200V、多くはもつと高く例えば500V、更には一層高く1000V以上で動作するように設計することができる。

交互積層領域は前記本体部を貫いて良好な電流路を与えることができる。その場合各領域内の単位面積当りの空間電荷を調換する領域内の空間電荷とほぼバランスさせると共に半導体の降服電界により決まる一定の臨界値以下にとどめねばならない。これらの制限の範囲内で本発明に係る半導体装置の設計者は個々のドーピング濃度と厚さの点で相当な自由を有し、各交互積層領域毎に可成

り自由に選択できる。このようにして各領域の厚さを薄くし、ドーピング濃度を高めることにより、本体部の実効ドーピング濃度を降服電圧を考慮せずに高めることができる。このようにして置くべきことに本体部の直列抵抗率が降服電圧にほぼ比例する電力用半導体装置を設計することができる。それ故直列抵抗率が降服電圧の二乗に比例する既知の半導体装置で生ずるのと同程度に降服電圧がドーピング濃度により制限されないですむ。このためドーピング濃度を高くして直列抵抗を低くし、大電流を流せるようにすることができる。この場合ON状態で流れる電流は後述するように半導体装置のタイプ如何により第1の領域若しくは第2の領域又は両方を通つて流れる。少数キャリア装置のターンオフに関する限り、交互積層され且つ電氣的に並列な電流路が注入された少数キャリアを迅速に排除し、改めて再結合中心を入れなくても高速でターンオフさせることができる有効な手段を提供する。

これらの領域で多数キャリアによる電流を流せ

ンスが得られるようにする。この交互積層領域の層構成によれば領域間の電氣接続も簡単になる。これは例えば主表面から局所的に交互積層層を買ぬいて領域を延在させることにより実行することができる。このような領域は基板の界面とエピタキシャル層の外側主表面との両方からドーパントを拡散させることにより拡散領域を侵入させて形成することができる。しかし、この場合全交互積層構体が厚いとこの厚い構体を買ぬいて深い領域を延在させる製造工程が不本意ながら既に設けられている交互積層層の特性に悪影響を与えることがある。それ故このような深い領域は避けるのが望ましく、そしてこれは本体の主表面から溝を切ることにより簡単に実現できる。新しくして好適な実施例では前記第1の領域同士を電氣的に接続する接続手段と、前記第2の領域同士を電氣的に接続する接続手段とを上記の主表面から切つた2つの溝内に夫々設け、夫々の領域を溝の側壁で接触させる。これらの溝は断面がU字形でもV字形でもよく、これは異方性エッチングにより正確に設

けるようにするには、個々の層を余りに薄くして零バイアス状態で完全に空乏化し、当該領域の電流路をピンチオフすることがないようにしなければならない。このため寸法が与えられている本体部に設けることができる交互積層領域の最大数(従つて電氣的に並列な電流路の最大数)には限度がある。任意の特定の半導体装置に設けることができる所定の厚さの交互に積層された第1と第2の領域の全数は例えば半導体本体の幾何学的構造及び方位、半導体本体の寸法及び半導体装置の製造に含まれる技術的ファクタにより制約される。

第1の領域と第2の領域とは半導体本体の主表面にほぼ平行に延在する交互積層の形態とすることができる。交互積層領域のこの特別な方向は殊に製造が簡単で、例えば基板上に交互に導電形が変わる層をエピタキシャル成長させて簡単に作ることができる。そして基板は第1の領域又は第2の領域の一つとなつてもよいが、そうでなくてもよい。各層のドーピング濃度及び厚さは注意して制御し、層同士の間必要とする空間電荷のペラ

けることができる。好適なのは断面がV字状のV溝を用いることである。蓋し、V溝にすれば溝の傾斜している側壁上に容易に且つ明確に種々の区域を設けることができ且つこれらの側壁をデポジット層により良好に被覆できるからである。

第1の領域同士はメタライゼーションにより互に電氣的に接続することができる。しかし、交互積層構造の配置と方位とに依存するが一般に第1の領域と第2の領域とが短絡することを第2の領域との間にpn接合を形成する第3の領域を用いることにより簡単に回避できる。新しくして半導体本体の第3の領域により前記第1の領域同士を互に電氣接続するのであるが、この第3の領域を第1の導電形とし、前記接合形成手段から離れた区域で前記第1の領域と接するようにする。

空乏層を形成する手段の性質は半導体装置の形と形状とにより変つてくる。一つの形態では、ゲートを形成する導電層を障壁層(例えば、絶縁層)により半導体本体から分離し、ゲートに適当にバイアスをかけて障壁層に電界効果作用を及ぼすこ

とにより空乏層を形成する。もう一つの形態では半導体本体内の整流接合に逆バイアスをかけることにより空乏層を形成する。而してこのような整流接合を形成する手段は前記交互積層領域の一端上に設けられ、前記第1の領域との間にショットキー接合を形成するメタルベース層を具える。別の接合形成手段は前記本体のもう一つの領域を設け、このもう一つの領域を第2の導電形として前記第1の領域の各々の一端との間にpn接合を形成するものである。

本発明は多数キャリア装置であれ少数キャリア装置であれ、多くのタイプの半導体装置、例えば電力用整流器、サイリスタ、バイポーラトランジスタ及び電界効果トランジスタで利用することができる。本発明のような交互積層領域を設ける構造を用いる利点は電圧及び/又は電流取扱能力が向上することである。

このようにして一つの形態では前記半導体装置が電力用整流ダイオード(例えばショットキーダイオード又はPINダイオード)を具え、前記交互

成するメタルベース層とすることもできるし、また第2の導電形で前記第1の領域の各々の一端との間にpn接合を形成する別の領域とすることもできる。後述するようにこのような接合ゲート形電界効果トランジスタがON状態で動作する時第1の領域と第2の領域との間のpn接合にはむしろ順方向バイアスがかかり、少数キャリアが注入され、導電率変調により直列抵抗率が下がる。このような動作モードは上述した少数キャリアをターンオフ時に交互積層領域とゲートとを介して簡単に排除できる場合に有益である。

本発明に係る絶縁ゲート形電界効果トランジスタは前記半導体装置に絶縁ゲート形電界効果トランジスタを設け、そのソースを第2の導電形の別の領域により前記交互積層領域から分離し、少なくとも1個のゲートを上記別の領域から絶縁し、この別の領域内に導電性チャネルを容量的に発生させ、前記第1の導電形のキャリアを電界効果トランジスタのソースとドレインとの間に流し、前記交互積層領域を上記の別の領域とトランジスタ

積層領域がこの整流ダイオードのアノードとカソード間の中間領域を形成する。もう一つの形態では前記半導体装置がバイポーラトランジスタを具え、前記交互積層領域が前記トランジスタのベースとコレクタの隣接する部分を提供する。もう一つの形態では前記半導体装置がサイリスタを具え、前記交互積層領域がサイリスタのベース領域の隣接する部分を形成する。

交互積層構造の種々の部分を接合ゲート形であれ、絶縁ゲート形であれ、電界効果トランジスタの部分に用いると殊に好適である。

このようにして本発明に係る接合ゲート形電界効果トランジスタは前記半導体装置に接合ゲート形電界効果トランジスタを設け、前記交互積層領域を上記電界効果トランジスタのソースとドレインとの間に存在させ、前記第1の領域がこの電界効果トランジスタのチャネル領域を提供し、前記第2の領域が電界効果トランジスタのゲートに接続され、このゲートの拡張部として働くことを特徴とする。上記ゲートはショットキー障壁を形

のドレインとの間に設け、前記第1の領域を更に上記ドレインの拡張部として役立てることを特徴とする。

このような半導体装置は進んでは前記半導体装置に導電形が第1の上述した電界効果トランジスタに対して相補的な第2の絶縁ゲート形電界効果トランジスタを設け、前記第2の領域をこの第2のトランジスタのドレイン拡張部として役立て、第1の導電形の他方の領域との間にpn接合を形成し、このもう一つの領域が交互積層領域を第2のトランジスタのソースから分離し、上記第2のトランジスタの少なくとも1個のゲートを前記他方の領域から絶縁してこの他方の領域内に導電性チャネルを容量的に発生し、前記第2の導電形のキャリアを前記第2のトランジスタのソースとドレインとの間に流すことを特徴とする。

電界効果トランジスタ及びその他の半導体装置にとつて、前記半導体本体を半導体層を複数個重畳した形態として前記交互積層領域を構成し、この最下層の層を絶縁基板の上に取り付けるように

すると有利である。

サファイアの絶縁性基板の上に単一のP形シリコン層を設けた電界効果トランジスタが1979年に米国ワシントンで開かれた1979国際電子デバイスミーティング(I. E. D. M.)で発表され、I. E. E. E. から刊行されたアイ・イー・ディー・エム・ダイジェスト(1979)の第394頁から第397頁についてエツチ・サクマ、ティー・クリヤマ及びナイ・スズキによる「A ハイボルテージオフセットゲートエスオーエス/エムオーエストランジスタ。(A High Voltage Offset - Gate SOS/MOS Transistor)」と題する論文に記載されている。これによればP形層内にn形ソース領域(n<sup>+</sup>)とn形ドレイン領域(n<sup>+</sup>)とを設け、イオン注入によりピンチ抵抗を設ける。ピンチ抵抗は単一のn形表面領域であつて極性は反対だがP形層と同量の単位面積当りの不純物を有するように作られた領域である。この単一抵抗領域はP形層とその上面だけで設ける。蓋し、この表面領域は

これと対照的に本発明によれば直列抵抗率は動作電圧の設計値が高くなるのに比例して高くなるだけである。

ドレイン領域の電流を流す拡張部を形成し、トランジスタの絶縁ゲートの下に延在し、全長のうち的一部分でこのゲートにより制御される。

n形表面領域とその下に延在する層のP形部とはオフセットゲートピンチオフ電圧に等しい低いドレイン電圧以上でこの層を垂直方向に貫ぬいて空乏化するように設計されているから、この既知のトランジスタは全く高い降服電圧特性を示す。この特性は層のドーピングレベルによる制約は受けないが、ゲートがn<sup>+</sup>ドレイン領域からオフセットされる長さ(L<sub>R</sub>)に依存する。この長さL<sub>R</sub>はピンチオフ抵抗のゲートの直下ではない部分の長さに等しい。而してこの既知のトランジスタのドレイン降服電圧(BV<sub>DS</sub>)とON抵抗(R<sub>ON</sub>)とはオフセットゲート長L<sub>R</sub>にほぼ比例して増大することが判明した。しかし、これでは唯一つのピンチ抵抗領域がチャネルからドレインへの唯一つの電流路を与えるだけであるから、直列抵抗率はここでも前述した他の既知の半導体装置と同じくほぼ所望の降服電圧の二乗に比例する。

実施例を挙げて図面につき本発明を詳細に説明する。

注意すべきことは第1、2、4〜8及び10〜14図は略図であつて、寸法通りではないことである。図面を簡明ならしめるためこれらの図面のいくつかの部分の相対的寸法及び比率は誇張され或は、縮小されている。一例で用いられたのに対応又は類似する他の例の部分は一様に同一符号を付してある。

第1図は本発明に係る高電圧半導体装置の多くの種々のタイプで用いられるP形領域とn形領域が交互に積層する構造(交互積層構造)の一つの簡単な基本的な形態を示したものである。この半導体装置は(例えば単結晶シリコンの)半導体本体1と少なくとも半導体装置が高電圧動作モードにある時半導体本体1の部分3を貫通する空乏層を形成する手段とを具える。第1図の構造では空乏層を形成するのに半導体本体1内の整流接合3に逆バイアスをかける。このような整流接合は半導体本体の領域3に金属をベースにしたショット

キーコンタクトを設けることにより形成することができる。しかし、第1図では一例として領域3にP形領域14を隣接させてpn接合5を形成している。

本発明によれば、領域3は第1の導電形(例えばn形)の多数の領域11を具え、これらの間に反対の第2の導電形(例えばp形)の第2の領域12がはさまっている。少なくとも一つの動作モードの時少なくとも第1の領域11が本体領域3を貫ぬいて上記接合形成手段14の方向に延在する電氣的に並列な電流通路を提供する。第1の領域11と第2の領域12の各々の厚さとドーピング濃度とは前記空乏層内の自由な電荷担体が排除された時の上記交互積層領域11、12の各々に形成される単位面積当たりの空間電荷が少なくともこの空間電荷のアンバランスにより形成される電界がそれを越すと領域11、12でアバランシブブレークダウンが生ずるであろう臨界電界強度よりも小さい極度でバランスがとれるようなものとする。第1の領域11と第2の領域12とは空乏層が領域3内に拡がることに

より自由な電荷担体が欠落した領域3にかゝる高電圧を担う役割を演ずる。

隣接する第1の領域11と第2の領域12との間に形成されるpn接合6は整流接合5の拡張部として働く。第2の領域12同士はpn接合5で接合形成手段を構成するP形領域14を介して一つに電気接続される。第1の領域11同士は接合形成手段14から離れている少なくとも一つの区域で(例えば同一導電形の領域13を介して)互に電気接続する。

第1図に示した特別な形態では半導体本体1が単結晶基板10上に交互に導電形の異なるエピタキシャル層11及び12を複数個積み重ね、本体部3の交互積層領域11、12を作る。それ故これらの領域11及び12は半導体本体1の上側主表面20にほぼ並列に延在する。領域13と14は夫々表面20に形成した溝21及び22内にあつて、これらの溝の側壁で夫々交互積層層11及び12に接触している。層11、12の敷並びに溝21、22の深さ及び間隔はどのようなタイプの半導体装置を作るのか、またどの極度の電圧及び電流を取扱えるようにしたのかによつて

異なる。しかし、典型的な例では溝の深さは約10  $\mu$ mで相互間の距離は約100  $\mu$ mである。

第1図に示した溝21及び22は断面がV字状であつて、これは表面20の結晶軸を<100>に運び、異方性エツチャントを用いることにより既知の軌跡で形成することができる。領域13と14は例えば拡散又はイオン注入により溝21及び22の区域にドーパントを入れることにより形成することができる。而して低温アニーリング処理しか行わないイオン注入の方が交互積層構造11、12に対して擾乱を与えることが少ない点で一般にはより適している。半導体本体1の表面20上に形成するパッシベーション層23は溝21及び22の区域にコンタクト線を有する。これらの線を介してデポジットされた金属層電極24及び25は夫々領域13及び14と接触する。

空乏層となつた領域11及び12の各々に形成される単位面積当たりの空間電荷の量は当該領域の厚さとその導電形を決めるドーパントのドーピング濃度との積により与えられる。それ故、領域を薄く

してもドーピング濃度を高くし、又はその逆を行なえば同一極度の空間電荷が得られ、それ故交互積層構造の全ての層11及び12の厚さを等しくし、ドーピング濃度も等しくする必要はない。層11と12の間の空間電荷をバランスさせる必要があるが、これは各層11及び12のエピタキシャル成長中デポジットされる層の厚さとドーピング濃度とを注意深く制御することにより得られる。これらのパラメータはエピタキシャル成長及びその後の処理中例えば $\pm 10\%$ の範囲内に制御することができる。高電圧動作時にpn接合5に逆バイアスをかけても空乏層となつた交互積層構造11、12でアバランシブブレークダウンが生じないようにするため空乏層となつた本体部3の各領域11及び12の空間電荷による電界と本体部3の全厚さに亘る交互積層構造11、12の空間電荷の凡ゆるアンバランスの累積したものによる電界とのいずれもが半導体内でアバランシブ増倍が起こる臨界電界強度よりも小さくなければならない。シリコン本体のバルクではこの臨界電界強度は約 $3 \times 10^5 \text{ V}\cdot\text{cm}^{-1}$ であり、これ



は完全に空乏層となる部分のドーパント量が夫々約  $3 \times 10^{12} \text{ cm}^{-2}$  であることに対応する。それ故第1図に示したようなシリコンエピタキシャル構造では各層11及び12のドーパント量を約  $4 \times 10^{12} \text{ cm}^{-2}$  以下とし、蓋し、各層11、12は両側から空乏化してゆくからである)、本体部3内の交互積層構造全体に亘つてのドーパント量の累積変動量を約  $2 \times 10^{12} \text{ cm}^{-2}$  より小さくする必要がある。代表的数値を挙げると、これらのエピタキシャル層11及び12の厚さは  $0.2 \mu\text{m}$  と  $3 \mu\text{m}$  の間とし、これに対応するドーピング濃度は夫々約  $2 \times 10^{17} \text{ cm}^{-3}$  と  $2 \times 10^{17} \text{ cm}^{-3}$  とする。

これらのドーピング濃度は従来技術で既知の高電圧半導体装置で見られる単一の高抵抗の真性領域から成る接合に隣接する本体部内に空乏層が拡がってゆく構造に対して用いられるドーピング濃度よりも相当に高い。本発明に係る交互積層層11及び12は良好な本体部3を通り抜ける電流通路を提供し、その配置が電気的に並列になつてゐるため直列抵抗が著しく下り、電流取扱能力が高くな

取扱能力を高くすることができる。また交互積層層11及び12の数を増やすことにより電気的に並列な電流通路の数を増やすことができる。この結果本発明交互積層層11及び12を有するパワー半導体装置の本体部3の直列抵抗は前述した従来技術のパワー半導体装置のように所望の降服電圧の自乗に比例するのではなく、所望の降服電圧に比例して高くなるだけである。これを第3図に示すが、この第3図はVを単位とする降服電圧に対する  $\mu \cdot \text{cm}$  を単位とする直列抵抗率を両方とも対数スケールでとつたグラフである。このグラフは交互積層層11及び12が偶21と22の間に延在し、偶21で層11とオーミックコンタクトを行ない、偶22で層11と12の両方に共通ショットキーコンタクトを行なう基本形態の半導体装置構造につき計算した結果に基づいてゐる。直列抵抗率はこれらの2個の端のコンタクトの間に低いバイアスを印加するものとして計算してある。各層11及び12のドーピング濃度は  $4 \times 10^{12} \text{ cm}^{-2}$  としておいた。端のコンタクト間の層11及び12内の電流通路の長さは2個の端のこ

る。また空乏化したn形層11内の正の空間電荷は空乏化されたp形層12内の負の空間電荷で決まっているため、本体部3は高電圧動作時に空乏化された時マクロなスケールで見ると実効的に真性材料から成るかのように振る舞うように見え、このため高電圧を取り扱えるようになる。夫々n形層11同士及びp形層12同士を一つに電気接続する領域13及び14(又は任意の他の接続手段)は空乏化された本体部3の両側(即ち高電圧を担う部分即ち交互積層層11及び12の部分の両側)で電気接続を行ない、高電圧を担う部分3即ち本体部3内の交互積層層11及び12の長手方向が一方の接続手段13又は14から他方の導電形の層を一つに接続する他方の接続手段14又は13に向けて延在するようにする必要がある。これは第1図の半導体装置構造では個々の偶21及び22の両端が主表面20から交互積層構造11、12の厚さ方向に延在するようにすることによつて達成される。

高電圧を担う空乏化された本体部3を形成する交互積層層11及び12の長さを増すことにより電圧

シタクト間に設計通りの逆動作電圧を印加した時の層11及び12の長さによつての最大電界強度が  $10^5 \text{ V/cm}$  となるように選んだ。全部の層11、12が占める本体部3の深さ(即ち全積層構造の全厚さ)はこの長さの10倍とした。そして全ての交互積層層11及び12が丁度この深さに入るものとして計算した。

直線Aは層11と12の各々の厚さを  $1 \mu\text{m}$  とした時の直列抵抗率と降服電圧の間の関係を示したものであり、直線Bは層11と12の各々の厚さを  $0.2 \mu\text{m}$  とした時のグラフである。注意すべきことはいずれの場合も直線的な正比例関係が成立することである。

また過去において既知の半導体装置では降服電圧が夫々200 V及び500 Vの時必要な直列抵抗率が普通夫々  $2 \times 10^{-2} \mu \cdot \text{cm}$  及び  $10^{-1} \mu \cdot \text{cm}$  より大きいのが、第3図に示すように本発明交互積層構造を有する半導体装置では著しく低い。即ち、層11及び12の厚さが  $1 \mu\text{m}$  の場合は例えば200 Vの時約  $7 \times 10^{-3} \mu \cdot \text{cm}$  であり、500 Vの時  $2 \times 10^{-2} \mu \cdot \text{cm}$

であり、1000 Vの時  $4 \times 10^{-2} \text{ } \mu\text{-cd}$  であり、他方 0.2  $\mu\text{m}$  厚の場合は 200 Vの時  $2 \times 10^{-3} \text{ } \mu\text{-cd}$  以下であり、500 Vの時  $4 \times 10^{-3} \text{ } \mu\text{-cd}$  以下であり、1000 Vの時約  $7 \times 10^{-3} \text{ } \mu\text{-cd}$  である。

直線 A と B を比較すれば判かるように薄い層 // 及び 12 を少数設けるよりも薄い層 // 及び 12 を多数設ける方が一般には有利である。交互積層層 // 及び 12 の全数は少なくとも 4 とし、普通はもつとすつと多く（例えば 8 個以上）とし、本発明積層構造を用いることにより得られる利点を十分に享受できるようにする。本体部 3 の所定の深さに対し、収容できる層 // 及び 12 の最大数は各個別層 // 及び 12 がとり得る最小厚さにより決まる。しかし、各層 // 及び 12 が余りに薄くなると、設計目標を十分再現性良く製造することがむずかしくなるおそれがある。また、層 // と 12 で多数キャリアの電流を流せるようにするためには各層の厚さを薄くしすぎて零バイアス状態の時でも全体が空乏層化し、これにより層内の電流路がピンチオフすることのないようにする必要がある。

ンであればパッシベーション層 25 を正に帯電させることができる。この場合最上層 // 又は 12 内の空間電荷が修正され、このような絶縁層の電荷を相殺しようとする。しかし、パッシベーション層 25 を（例えば酸素をドーブした多結晶シリコンのように）半絶縁性材料を構成して電気的に中性にしてもよい。

上にエピタキシャル層 // 及び 12 をのせる単結晶基板は例えばサファイアのような絶縁材料又は例えばシリコンのような半導体材料とすることができる。而して第 1 図の基板 10 は第 2 の領域 12 及び接合形成領域 14 と同一導電形の半導体材料とし、それ自体本体部 3 との間に pn 接合を形成する手段の形成部と考え得るようにすることができる。しかし、基板 10 は反対導電形の半導体材料とし、領域 14 との間に整流接合を形成する本体部の形成部とすることもできる。

基板 10 が交互積層構造 // 、12 の最下層に対して反対の導電形の半導体基板である場合は、そのドーピング濃度及び厚さが接合 3 に逆バイアスをか

す法と技術上のファクタ以外にも第 1 図の構成もエピタキシャル構造に所定の厚さの積層層 // 及び 12 の全数を制限する要因があつて、それは本体部 3 のエピタキシャル層構造での空間電荷の累積アンバランスと（V 溝の場合だけであるが）最上層 // 又は 12 を通る最短電流路と V 溝の底に隣接する最下層 // 又は 12 を通る最長電流路との間の直列抵抗のアンバランスとである。しかし、この直列抵抗のアンバランスは最下層から最上層に向つて両方の層 // 及び 12 のドーピング濃度（従つて空間電荷）を漸進的に下げるにより補正することができる。

また本体部 3 の上側表面での電界を小さくするため最も上側の p 形層 12 のドーピング濃度及び厚さ又はそのいずれか一方を小さくすることができる。このようにして、空乏化された時最も上側の p 形層 12 は負の空間電荷を例えば他の p 形層 12 の約半分しか持たないようにすることができる。最上層 12 上に設けられるパッシベーション層 25 を帯電状態にすることができる。例えば二酸化シリコ

けた時基板 10 の空乏層部に生ずる空間電荷が交互積層構造 // 、12 の空乏化した最下層に生ずる符号が反対の空間電荷とほぼ平衡するように選ぶ。このようにして基板 10 を第 1 と第 2 の領域 // 及び 12 の一方としてもよい。

第 1 図に示した形態の半導体構造は多数キャリア装置であれ少数キャリア装置であれ、多数の種々のタイプの高電圧装置、例えば電力用整流器、サイリスタ、バイポーラトランジスタ及び電界効果トランジスタに組み込んでその電圧及び / 又は電流取扱能力を高めるのに利用することができる。動作時に電極 23 及び 24 の一方に高電圧を印加し、他方の電極を常時接地するか又は低電圧を印加する場合は、一般に高電圧電極に関連する溝を横方向から接地ないし低電圧電極に関連する溝で取り囲み、（本体 1 の縁から分離する）ようにすべきである。これにより本体 1 の縁での降服電圧問題を回避できる。

このような装置を第 2 図に示す。こゝでは溝 22 と電極 24 とが溝 21 と電極 23 とを取り囲んでいる。

この場合電極21は溝22の外周と本体1の縁との間に（パッシベーション層21又はより厚い絶縁層上に）設けるワイヤボンディング又は他の外部接続のための拡張された区域21aを有する。電極21の拡張された接続区域21a用のプラットフォームを与えるために、溝22で層構造11、12のメサ部を取り囲み、コンタクト領域13もこのメサ部の頂上に延在させ、電極21を介してこのメサ部の頂上の溝22とをコンタクトさせる。第2図の略式平面図ではパッシベーション層21の拡がり及び半導体本体1内の種々の領域の拡がりを図面を簡明ならしめるため図示していない。V溝21及び22を頂上の外縁に対応する2個の平行な実線と溝の底の先端に対応する中央部の破線とにより示した。また電極21及び22の拡がりを第2図では線に対応する実線で示した。

また、本発明に係る構造を有する半導体装置の電流取扱能力を大きくするために、溝21と22、電極21と22及び領域13と14とを相互にかみ合わせる。このような相互にかみ合った構造も第2図に

つて本体部3から迅速に排除される。同様にP形層12内の電子はn形層11を介して急速に排除される。印加される逆電圧レベルが（例えば5ないし20Vというレンジの）低い方のピンチオフ値を感じると、pn接合4に調達する空乏層が交互積層層11及び12で合体し、領域13と14の間の本体部3全体を完全に空乏化する。

第4図及び第5図は本発明に係るV溝付きエピタキシャル交互積層構造を多数キャリア装置、即ち接合ゲート形電界効果トランジスタに組み込んだものを示す。交互に導電形が変わる交互導電層11及び12は今の場合電界効果トランジスタのソースとドレインとの間に設ける。溝21の側壁全体に亘つて延在するn形領域13がこゝでドレイン領域を形成し、このドレイン領域を第1図につき説明したのと同じ願様で電極21を介して外部接続する。図面を明瞭ならしめるため絶縁層21と電極配置の詳細は第4図には示していない。

また溝22にトランジスタのゲートを形成するP形領域14と、トランジスタのソース領域を形成す

示した。

第2図の構造の半導体装置は例えば唯2個の端子電極21及び22を有するだけのpn接合を用いる電力用整流ダイオードに使うことができる。この場合交互積層層11と12がダイオードのアノードとカソードの間の中間領域を形成し、実効的にはPINダイオードの真正ベース領域に等しいと考えられる。しかし、既知のPINダイオードと比較すると所定の降服電圧に対する直列抵抗率を著しく低くでき、このため本発明整流ダイオードは電圧及び/又は電流取扱能力を大きくとれる。

このようなpn接合ダイオードは少数キャリア装置であつて、ON状態で流れる電流は第1の領域11でも第2の領域12でも少数キャリアで運ばれる。また交互積層構造にしたため、この半導体装置は本体部3内に金をドーブして再結合中心を作らなくても、高速なターンオフが可能である。このようにして逆電圧を印加した時n形層11内の少数キャリア（正孔）がpn接合4を越えてP形層12に引き込まれ、これらの電氣的に並列な層に沿

るn形領域14との向方を設ける。第4図に示したように、これらの領域13と14を局所的に交互にV溝の側壁を下り、交互積層層11及び12の端に至らしめ、隣接するゲート領域14とソース領域14との間の区域を介してソース領域14を側壁迄延在させる。領域14と14は既知のリトグラフィマスク技術を用いて局所的にイオン注入することにより作ることができる。こゝでP形層12はゲート14の拡張部として働き、ソース領域14とドレイン領域13の間を結ぶチャネル領域を提供するn形層11をはさみ込む。ゲート14を用いてpn接合5及び6に逆バイアスをかけ、調達空乏層に電界効果作用を生ぜしめ、これによりソース領域14とドレイン領域13の間の電子流を制御し、終りにはバイアス電圧を領域3を完全に空乏化し、トランジスタをターンオフするに足るだけ高くする。OFF状態ではトランジスタは前述した交互積層構造11、12のため高ドレイン電圧を阻止することができる。

所望とあらばこのようなトランジスタが十分にON状態で動作する時層11と12の間のpn接合6に

順方向、バイアスをかけ、ゲートからチャネル領域11に正孔を注入し、導電率変動により直列抵抗率を下げる。とこのような一風変わった動作モードは本発明電界効果トランジスタでは有利である。蓋し、ターンオフ時に差し込まれた層12とゲート18とを介して少数キャリアが容易に排除されるからである。

このトランジスタ構造で溝22にソース電極とゲート電極とを設けるに当つては多くの異なる幾何学的構成方法をとれる。第5図に示した形態ではパッシベーション層21が溝22の側壁上に延在し、溝22内のゲート領域18の区域に(第5図には示していないが)窓を有し、ゲート電極24がこの窓を介して溝22内にあるゲート領域18と溝22の長手方向に沿つてコンタクトする。ゲート電極24のソース領域16上にかぶさる部分は第5図に示すようにパッシベーション層21でソース領域16から絶縁する。パッシベーション層21は溝22の外側に窓を有し、ソース電極24が溝22の長手方向に沿つて延在し、上側主表面20でソース領域16とコンタクトす

る。溝22内に延在するソースフィンガ

(source finger)をソース領域26の溝22の外側に延在するこの部分により一つに接続し、ソース領域16とその電極24との間のコンタクト区域を拡げる。

層21を溝22で囲んだ相互かみ合せ電極配置を第4図を修正した形で再度採用し、ゲート電極24とソース電極24とを溝22と関連させることができる。他の修正された形態ではP形基板10を十分高ドープにしてゲート領域18に対するゲート接続を与え、ゲート電極を主表面20ではなく本体10の下面20で与える。

殊に半導体基板10を十分高ドープにした場合はこの半導体基板10内の空乏層の深さが隣接する溝22から隣接する溝22に至る長手方向に沿つて非常に大きく変化し、この半導体基板10内の空乏化された部分に生ずる空間電荷が相当に変化する。この場合基板10と最下層11の反対の導電形のドーピング濃度を動作時にそれらの空間電荷が溝22に隣接する部分でバランスするように選ぶことができ

る。そして基板10と最下層11との間の界面にP形領域18から延在するP形の短いもう一つの層を設けて溝22に隣接する側で基板の空間電荷をバランスさせ、この区域に等電位面が密集しないようにすることができる。このような埋込み界面層21は第4図及び第5図に示すように接合ゲート形電界効果トランジスタ並びに本発明に係り且つ半導体基板10上に交互積層層11及び12を有する任意の他の半導体装置に設けることができる。

隣接する溝21と22の間で測つた第4図及び第5図の電界効果トランジスタの平均チャネル長の代表的数値は約100  $\mu\text{m}$ である。層11及び12の長さは降服電圧に影響するだけでなく、トランジスタのON特性にも影響することがある。このようにして例えば $I_D - V_{DS}$ 特性(ソース-ドレイン電圧に対するドレイン電流の変化)が層の長さが増すほど一層五極管のようになり、層の長さが短くなるほど一層三極管のようになる。

第4図及び第7図は第4図及び第5図のトランジスタ構造の修正例を示したもので、こゝでは本

発明によりnチャネル絶縁ゲート形電界効果トランジスタを形成する。このトランジスタは接合ゲート形電界効果トランジスタに必要なn形ドレイン領域13とドレイン電極を第4図及び第5図に示したのと同じ態様で溝22内に配置する。しかし、溝22側では第4図及び第7図に示すように半導体領域、電極及び絶縁層の配置が異なっている。図ちこゝではn形ソース領域16をP形領域18を介して反対導電形の交互積層層11及び12から分離している。そしてこれは例えばリトグラフィマスキング技術を用いて局所的にイオン注入することにより形成している。交互積層層11及び12はn形ドレイン領域13からP形領域18にかけて延在し、P形領域18の隣接するフィンガ部間の区域で溝22の側壁に隣接する。またこゝではパッシベーション層21ではなくより薄い絶縁層21をV溝22内に延在させ、パッシベーション層21の窓でV溝の側壁を覆つて絶縁層21で導電性のゲート層24を完全に領域18並びに層11及び12の端から絶縁する。そして厚い方の絶縁層21が溝22内のソース領域16からゲ-

ト層34を絶縁する。

ゲート層34は側壁22の側面をn形ソース領域16とn形層11の端との間にあるp形層14内にn形導電性チャネルを容量的に発生させるのに役立つ。n形層11はドレイン領域13の拡張部として働き、(トランジスタのON状態では)ソース領域16から出てきた電子をn形層11に沿って誘起されたn形チャネルを介してドレイン領域13へ流す。OFF状態では前述したように空乏化した交互積層層11及び12が高ドレイン電圧を阻止する。

第7図の断面図は領域14の導電性チャネル区域に沿って切つたものである。絶縁層21に設けた窓を介して主表面20で側壁22に沿って延在するソース電極26がソース領域16とp形領域14の双方と接触する。側壁22でのソース領域の横方向での拡がりを第7図の断面図で破線で示した。

第4図及び第7図に示したIGFETはnチャネルエンハンスメント形であるが、側壁22の側壁区域に隣接して第4図及び第7図のトランジスタ構造のソース領域16間に低ドーパのn形領域を設けると

により容易にnチャネルディプレッション形IGFETを作ることができる。

第4図及び第7図に示したnチャネルトランジスタではn形層11が本体部3を貫ぬいて電流を運ぶが、この同じ半導体装置にpチャネルトランジスタ構造を入れて電流が層11と12の両方を使つて運ばれるようにすることもできる。この時の半導体装置は側壁22側では第4図及び第7図に示したような構造を有するが、側壁22側では第8図に示したような構造になる。その場合の等価回路図を第9図に示す。このトランジスタではn形領域13がp形領域14と同一形状をしており、nチャネルトランジスタのドレインを形成するだけでなく、相補トランジスタ構造のゲートG(2)により、p形チャネルが誘起される領域も形成する。n形領域13にはn形ソース領域16と同一形状でpチャネルトランジスタ構造のソース領域を形成する別のp形領域24が存在する。

側壁22に設ける絶縁層及び電極構造はレイアウトの点で側壁22側のそれと対応する。従つてゲートG

(2)は側壁22内でチャネルに亘つて薄い絶縁層15上に延在し、領域24に亘つて薄い絶縁層21上に延在する。電極接続線D'は側壁22に沿って延在し、絶縁層21に形成した窓を介して領域13と24の両方と接触する。第9図では側壁22に隣接し、第4図及び第7図ではG及びSという符号で表わしたゲート及びソース電極を夫々G(1)及びS'で表わしてある。第9図の符号p及びnは夫々p形層12及びn形層11を通る電流通路を示す。明らかにこれらの層12及び11はゲート領域としても働き、接合ゲート形電界効果トランジスタと同じ様で隣接する層11及び12内の電流の流れ具合を支配する。これらの接合ゲート形トランジスタ構造も第9図に示す。

第10図は第1図の構造を高電圧用バイポーラトランジスタに適用したところを示したものである。この場合側壁22側ではn形領域13と電極21とがバイポーラトランジスタのコレクタとなり、側壁22側ではp形領域14と電極21とがベースとなる。交互積層層11及び12は実効的に真性領域を形成し、領域14と13の間のベース-コレクタ接合のベースとコ

レクタに隣接する区域となる。ベース電極26は側壁22に沿って延在し、絶縁層21に形成した窓を介して主表面20でベース領域14に接触する。またこのベース領域14内にn形エミッタ領域29を設け、側壁22の側壁に顔を出すようにし、そこでエミッタ電極29にコンタクトさせる。トランジスタがターンオフした時交互積層層11及び12が少数キャリアを迅速に排除させるから、この本発明に係るバイポーラトランジスタはスイッチング速度が高く且つ電流及び電圧取扱能力が良好である。

第11図は第1図の構造の修正例であつて、高電圧用ショットキーダイオードとして用いられるものを示したものである。この場合接合形成手段にp形領域14ではなく金属層20を用い、この金属層20とn形層11とで金属-半導体整流接合を形成する。交互積層層11及び12はショットキー層20が形成するダイオードのアノードと電極21及びn形領域13が形成するカソードとの間の実効的に真性な領域を形成する。この半導体装置ではショットキー層20がp形層12と組んで逆ショットキー障壁を

形成する。このp形ショットキーコンタクトの区域を制御してその逆電流を減らし、これによりpn接合4からの少数キャリア効果が生ずるのを抑止するのが望ましい。これは溝22に沿つて間隔を置いて溝22の側壁に傾を出す付加的なn形領域31を設けることにより実現できる。このようなn形領域31の厚さを第7図では点線で示した。n形領域31が存在する場所では層12が溝22の側壁と接触しないことになる。そしてn形領域31同士の間の間隙では交互積層層11及び12が側壁迄達する。

第4図ないし第10図の半導体装置でも同じような溝に形成するショットキー接合を使えることを理解されたい。このようにして例えば本発明に係る接合ゲート形電界効果トランジスタにショットキーゲートを持たせたり、本発明に係る絶縁ゲート形電界効果トランジスタにショットキーソースとショットキードレインとを持たせることができる。

第4図ないし第8図の電界効果トランジスタでは溝22の内側にゲート電極を位置させているが、

11及び12内の基板10とソース領域14及びp形領域18との間の部分の電界を一層一層にする代替手段を提供する。このような第5図のトランジスタの修正例を第12図に示すが、これは絶縁体基板20を有し、この上に半導体メサとして交互積層層11及び12がのつている。

第13図は本発明半導体装置の別の形態の一部を示したもので、こゝでは交互積層層11及び12が半導体本体1の主表面に平行ではなく垂直に走っている。主たる半導体領域13、14等及び電極21、24等はこゝでは半導体本体1の両側の主表面20及び30に別かれて位置する。このような構造は低オミットn形基板13上に高抵抗率のp形エピタキシャル層を設けることから出発して作ることができる。そして基板13の主表面の軸方向が<110>である場合は半導体材料がシリコンの時は既知の順様で異方性エッチャントを用いてエピタキシャル層内に切り立つた側面を有する溝を形成し、このエッチングをこれらの溝が基板13に達する迄続ける。次にこれらの溝を渡すようにn形材料をエ

所露とあらばこれらのゲート電極を溝22の外側に位置させ、ソース電極24と並行して延在させてもよい。このようにして第4図及び第5図の電界効果トランジスタのゲート電極24を主表面20でゲート領域18と接触させることもできる。同じようにして主表面20でゲート電極24の下に当り且つチャネルが客量的に作られている領域18の表面に隣接する部分の上に薄いゲート絶縁層23を設けることもできる。しかし、このようなゲート電極とソース電極とが関連する溝の外側で並んで存在する構造は半導体装置本体の主表面の面積を大きくする必要がある点で魅力に乏しい。この代りの構造はソース電極を溝22内に設けゲート電極24及び24を溝22の外側に設けるものである。

第4図及び第5図並びに第6図及び第7図のトランジスタで半導体基板10を用いる代りに例えばサファイアのような単結晶絶縁基板の上に交互積層層11及び12を設けると殊に好適である。このような単結晶絶縁基板は交互積層構造11及び12内の電界効果に対する反射境界を提供し、交互積層層

ビタキシャル成長させて領域11を形成する。この時頃のp形エピタキシャル層の残存している部分が領域12を形成する。これらの領域11と12のドーピング濃度と幅とは上記エッチングとエピタキシャル成長とにより決まるが、空乏化によりこれらの領域内に形成される空間電荷がほぼバランスし、アバランシ降服が起こる臨界値を超えないように選ぶ。他の半導体領域と電極、殊に領域18とその接続電極(第11図の符号24)は既知の順様で例えばイオン注入、リトグラフィ及びエッチング技術を用いて上記の構造物内及び上に設けることができる。

このような形態の主表面20に対し垂直な領域11及び12を有する構造の半導体装置は本発明に係る種々のタイプの高電圧半導体装置、例えば電力用整流器、バイポーラトランジスタ並びに接合ゲート形及び絶縁ゲート形電界効果トランジスタで用いることができる。第13図は絶縁ゲート形電界効果トランジスタに適用したところを示したもので、基板13と背面電極24とがドレインを形成する。p

形領域14内にn形ソース領域16を設け、両領域14及び16を主表面20でソース電極22にコンタクトさせる。ドレイン領域13の電氣的に並列な拡張部を形成するn形領域11の側面とソース領域16との間の区域では薄いゲート絶縁層23上に導電性のゲート電極24を設ける。またドレイン及びソースからゲート電極24の縁の下迄夫々低ドーブn形領域13及び16を延在させる。

第13図では各p形領域14を領域13と整列させ、幅をほぼ同一とするが、領域14の方を幅広くし、領域11及び12を狭くするかそのいずれか一方を行なうこともできる。このようにして例えば各p形領域14を少なくとも2個のp形領域13と中間n形領域11との上にのせることもできる。

第14図は第13図の構造の半導体装置の(本発明に係る)一修正例を示したものであり、こゝでは各n形領域11を切り立つた溝25で二部に分けている。これらのn形領域11は異方性エッチャントを用いてp形エピタキシャル層内に溝25をエッチングした後ドーパントを拡散させて形成することが

つて接続されて逆並列回路となり、交互に積層される第1と第2の領域とが一方の回路要素の電氣的に並列な電流路とこれには含まれた相補回路要素の電氣的に並列な電流路とを与える。もう一つの例はnpnトランジスタとpnpトランジスタとを具えるサイリスタである。所謂とあらばこのようなサイリスタはp形ベース領域とn形ベース領域とに対し別個のゲート電極を有するようにすることができる。

#### 4 図面の簡単な説明

第1図は本発明に係る半導体装置の一例の一部の説明用断面斜視図、第2図はその略式平面図、第3図は本発明に係る多数キャリア装置の直列抵抗率と降服電圧の関係を示すグラフの図、第4図は本発明に係る接合ゲート形電界効果トランジスタの断面斜視図、第5図はその断面図、第6図は本発明に係るロチャネル絶縁ゲート形電界効果トランジスタの断面斜視図、第7図はその断面図、第8図はpチャネル絶縁ゲート形電界効果トランジスタの断面斜視図、第9図は第6、7図のロチャ

ネル電界効果トランジスタと第8図のpチャネル電界効果トランジスタの両方を有する半導体装置の断面斜視図、第10図は本発明に係るバイポーラトランジスタの断面図、第11図は本発明に係るショットキー整流器の断面図、第12図は絶縁基板を有する実施例の断面図、第13図はもう一つの構造の本発明絶縁ゲート電界効果トランジスタの断面図、第14図はもう一つの構造の絶縁ゲート形電界効果トランジスタの断面図である。  
1…半導体本体、2…空乏化される本体部、3…接合、11…第1の領域、12…第2の領域。

第4図並びに第6図及び第7図は本発明半導体装置の一例を示すもので相補導電形の2個の回路要素を具す。これらの2要素が前記本体部を横切

ヤネル電界効果トランジスタと第8図のpチャネル電界効果トランジスタの両方を有する半導体装置の断面斜視図、第10図は本発明に係るバイポーラトランジスタの断面図、第11図は本発明に係るショットキー整流器の断面図、第12図は絶縁基板を有する実施例の断面図、第13図はもう一つの構造の本発明絶縁ゲート電界効果トランジスタの断面図、第14図はもう一つの構造の絶縁ゲート形電界効果トランジスタの断面図である。

1…半導体本体、2…空乏化される本体部、3…接合、11…第1の領域、12…第2の領域。

特許出願人 エヌ・ピー・フィリップス・フルーランペンフアブリアン

代理人弁理士 杉 村 良 秀

同 弁理士 杉 村 良 秀







